

Trabajo Práctico Nro 2: Mapeo – Decodificación

Introducción

Estructura básica de buses (Arquitectura Von Newman)

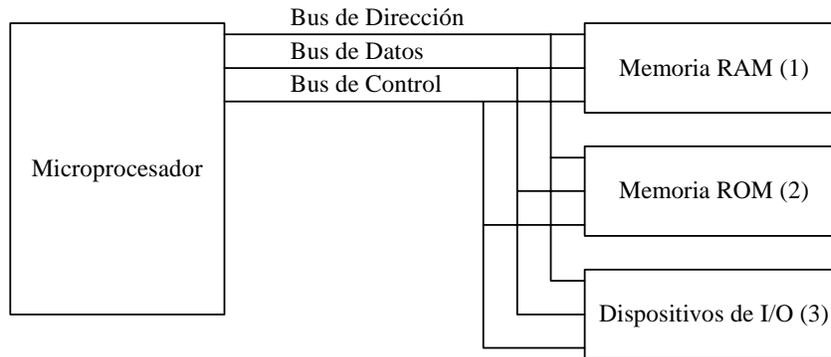


Figura 1

Estructura básica con circuito decodificador

El circuito decodificador nos permite proveer a las memorias y los dispositivos de I/O de una zona exclusiva del mapa de memoria del micro.

Cualquier dispositivo que se conecte al microprocesador, debe disponer de una bus de direcciones menor al que provee el micro, de esta manera podemos, para un dispositivo dado, distinguir dos tipos de líneas de direccionamiento.

- Líneas de direccionamiento externa, son las encargadas de diferenciar el dispositivo del resto (dispositivo 1, 2 o 3 de la Figura 2), de esta forma puedo tener varios en un sistema de buses y acceder a uno en especial por medio de estas líneas y un circuito decodificador.
- Líneas de direccionamiento interno, son las que se conectan directamente al dispositivo
Por ejemplo en caso del dispositivo 1 de la Figura 2, este grupo de líneas darán la posición interna del casillero a leer o escribir, estas líneas corresponden a la parte mas baja de la palabra de direccionamiento.

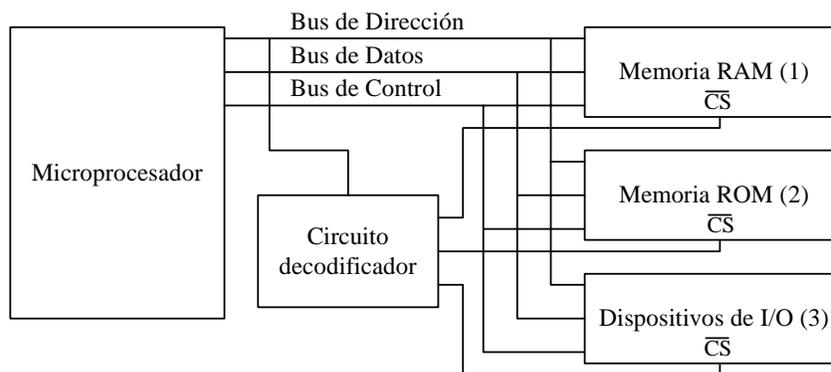


Figura 2



Circuito decodificador de dos memorias

(Se omitieron bus de control y dato)

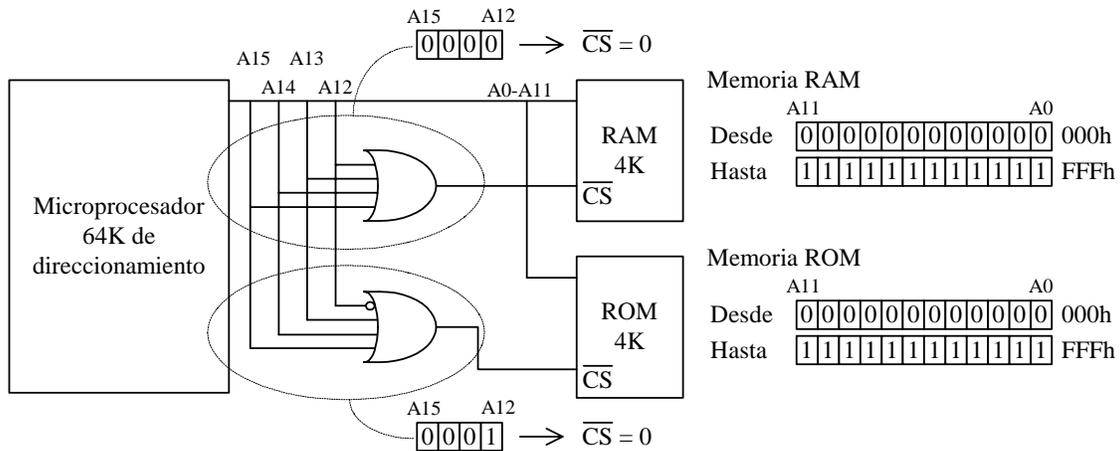
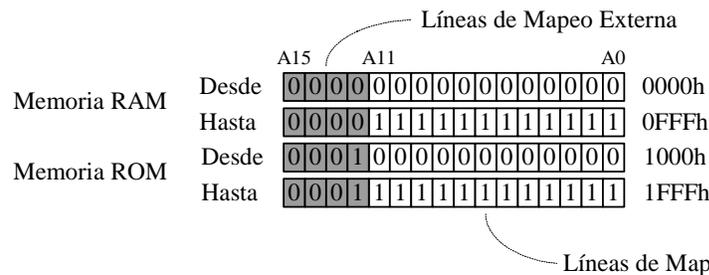


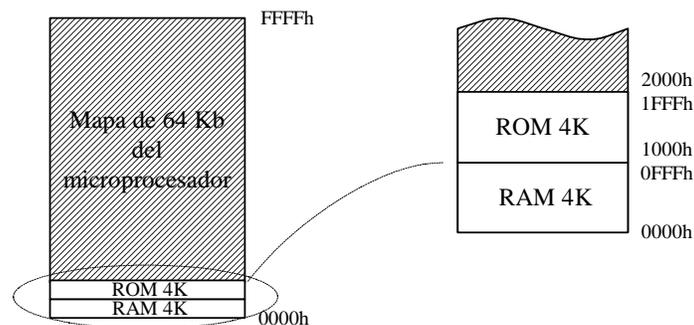
Figura 3

En el circuito de la Figura 3 vemos que las líneas de direccionamiento interno correspondientes a los 12 bits menos significativos del total se comparten entre todos los dispositivos, la selección de una de las dos memorias la realiza las líneas externas a través de sendas compuertas OR de cuatro entradas.

El mapa ampliado del circuito queda formado de la siguiente manera:



El microprocesador tendrá ubicada dentro de su mapa de direcciones las dos memorias en forma consecutivas.





Práctico de Aula Desarrollados

Ejercicio Nro 1

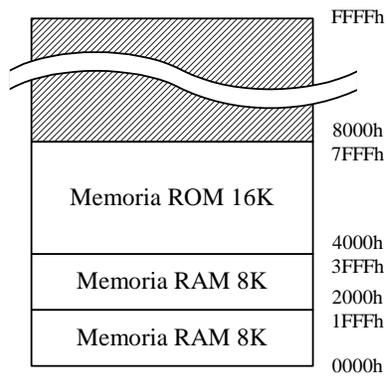
Se dispone de un microprocesador de 64Kb de direccionamiento, se desea implementar:

- 1 CI de memoria RAM de 8 Kb.
- 1 CI de memoria RAM de 8 Kb.
- 1 CI de memoria ROM de 16 Kb.

Partiendo desde la posición 0000h.

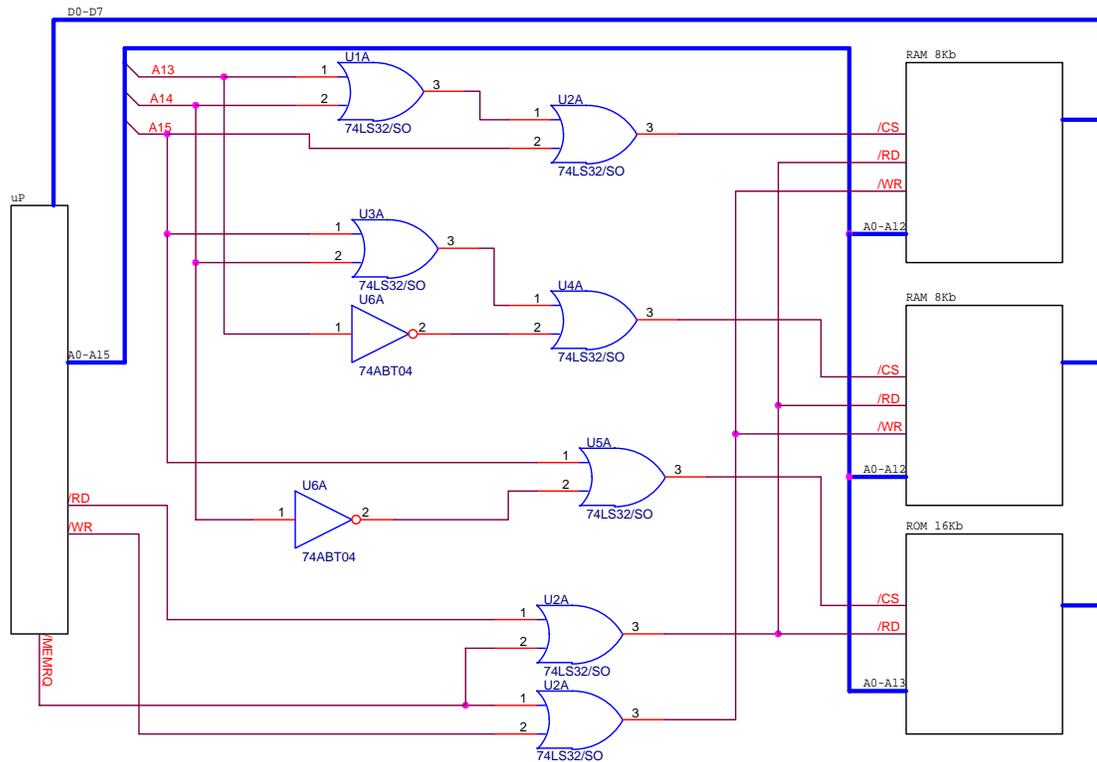
Realizamos los mapas de Memoria Reducido y Ampliado con el circuito de decodificación.

Mapa Reducido



Mapa Ampliado

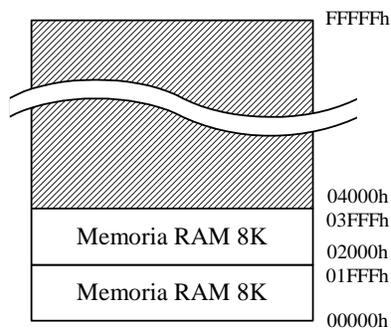
A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	Direc.	Disp
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0000	RAM 8K
0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	01FFF	
0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	02000	RAM 8K
0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	03FFF	
0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	04000	ROM 16K
0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	07FFF	



Ejercicio Nro 2

Se posee un microprocesador de 8088 configurado en modo mínimo y 2 chips de memorias RAM de 8Kb con las cuales se desea conformar un banco de 16Kb que comience en la posición 00000h del mapa de memoria. Realizamos los mapas de Memoria Reducido y Ampliado con el circuito de decodificación.

Mapa Reducido



Mapa Ampliado

A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	Direc.	Disp
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0000	RAM 8K
0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	01FFF	
0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	02000	RAM 8K
0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	03FFF	



Práctico de Aula a Desarrollar

Se deberán usar siempre para la decodificación integrados comerciales de la serie 74LSXXX.

Ejercicio Nro 1

Se desea conectar a un microprocesador de 64Kb de direccionamiento, dos memorias una de 4Kb cuya dirección de inicio es 3000h y otra de 2Kb, en la dirección A000h

La decodificación deberá ser completa (sin imágenes).

- Realizar el mapa ampliado y reducido, señalando las líneas de decodificación externas e internas.
- Realizar el circuito decodificador completo.

Ejercicio Nro 2

Se desea conectar un microprocesador con un campo de direccionamiento de 64Kb:

- Una banco de memoria ROM de 16Kb formado por CI de 4Kb en la parte baja (a partir de 0000h).
- Una memoria RAM de 24Kb formada por un CI de 16Kb y un CI de 8 Kb en la parte más alta (hasta FFFFh).

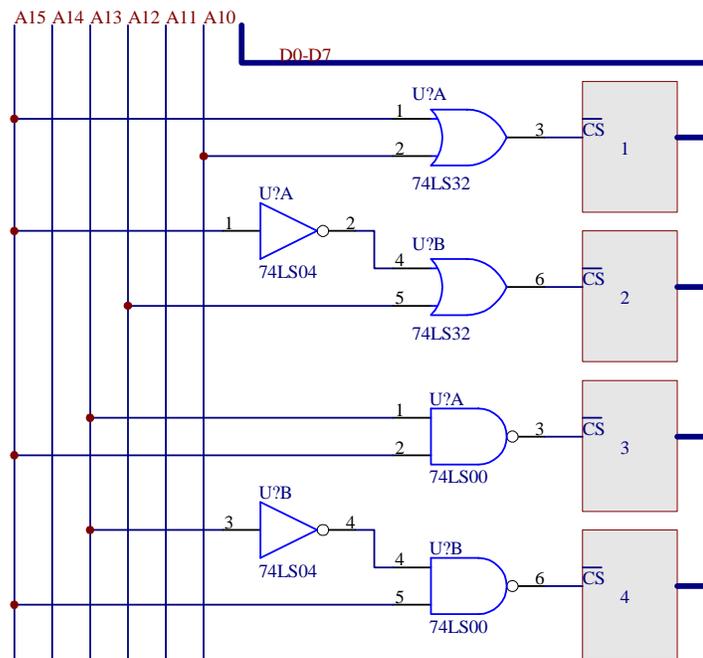
Se deberá utilizar un CI 78LS139 para el mapeo de los dos bancos.

La decodificación deberá ser completa (sin imágenes).

- Realizar el mapa ampliado y reducido, señalando las líneas de decodificación externas e internas.
- Realizar el circuito decodificador completo.

Ejercicio Nro 3

Se dispone del siguiente circuito de decodificación de cuatro memorias.



- Realizar el mapa reducido y ampliado de cada memoria, con sus correspondientes imágenes.
- Analizar cual será el máximo tamaño de cada bloque de memoria.
- Se deberá modificar el circuito para eliminar las superposiciones, para lo cual únicamente se podrán eliminar las imágenes, pero nunca modificar las posiciones de los dispositivos en el mapa.



Ejercicio Nro 4

Se posee un microprocesador de 8088 configurado en modo mínimo, chips de memorias RAM de 32Kb y 16Kb y ROM de 64Kb con los cuales se desea conformar los siguientes bancos:

- Un banco de memoria RAM de 80K con inicio en 00000h
- Un banco de memoria ROM de 64K con final en FFFFh

Además se desea mapear en **I/O** una PPI, la misma no tendrá una dirección fija, se podrá modificar dentro de 256 direcciones posibles modificables con un switch de 8 llaves, los bloques de memoria donde se podrán ubicar la PPI serán de la forma 0XX0h a 0XX3h donde XX son los 8 bits modificables (de 00h a FFh)

La decodificación deberá ser completa (sin imágenes).

- a) Realizar el mapa ampliado y reducido, señalando las líneas de decodificación externas e internas.
- c) Realizar el circuito decodificador completo.